

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-172702
 (43)Date of publication of application : 19.06.1992

(51)Int.Cl.

H01P 1/383
 H01G 4/30
 H01G 4/40
 H01P 1/36

(21)Application number : 02-300738
 (22)Date of filing : 06.11.1990

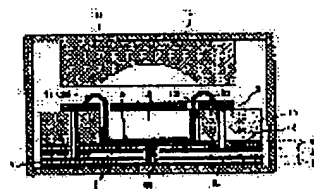
(71)Applicant : TDK CORP
 (72)Inventor : WATANABE AKITO
 IWATA TAKASHI
 SAGARA KOJIN

(54) CAPACITOR FOR IRREVERSIBLE CIRCUIT ELEMENT AND IRREVERSIBLE CIRCUIT COMPONENT

(57)Abstract:

PURPOSE: To increase the capacitance of the capacitor without incurring a large sized device and to attain low frequency processing by forming a capacitor connecting to a terminal with a laminator of plural capacitor layers, providing a ground conductor to each of both sides and conducting both the ground conductors with a through-conductor.

CONSTITUTION: A laminator 8 is formed by laminating capacitor layers 801-803 and ground conductors 81,82 are provided to both sides in the laminating direction. The ground conductors 81,82 are conducted by a through-conductor 83 penetrating through the laminator 8 in the laminating direction. Three projection pieces 91-93 are provided upright to a circumference of a shield conductor 9. A hole 101 to which a magnetic substance 3 is inserted is provided in the middle of a printed circuit board 10 and the conductor patterns 102-105 are provided to the surface. The ground conductor 81 is in contact with a case 1 for grounding and the shield conductor 9 and the magnetic substance 3 is placed to the ground conductor 82 for grounding, and since it is not required to provide a hole to the laminator, the area of the laminator is utilized maximizngly for the acquisition of the capacitor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

平4-172702

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)6月19日

H 01 P 1/383
H 01 G 4/30
4/40
H 01 P 1/36

3 0 1 A
3 0 1 Z
3 0 1 A

7741-5 J
7924-5 E
6835-5 E
7741-5 J

審査請求 未請求 請求項の数 4 (全9頁)

⑮ 発明の名称 非可逆回路素子用コンデンサ及び非可逆回路素子

⑯ 特 願 平2-300738

⑰ 出 願 平2(1990)11月6日

⑱ 発 明 者 渡 辺 明 人 東京都中央区日本橋1丁目13番1号 ティーディーケイ株式会社社内

⑲ 発 明 者 岩 田 孝 東京都中央区日本橋1丁目13番1号 ティーディーケイ株式会社社内

⑲ 発 明 者 相 良 行 人 東京都中央区日本橋1丁目13番1号 ティーディーケイ株式会社社内

⑳ 出 願 人 ティーディーケイ株式会社 東京都中央区日本橋1丁目13番1号

㉑ 代 理 人 弁理士 阿部 美次郎

明 細 書

1. 発明の名称

非可逆回路素子用コンデンサ
及び非可逆回路素子

2. 特許請求の範囲

(1) 複数のコンデンサ層の積層体として構成された非可逆回路素子用コンデンサであって、

前記積層体は、積層方向の両面のそれぞれに接地用導体を有しており、

前記接地用導体は、積層方向に貫通する貫通導体によって互いに導通させてあることを特徴とする非可逆回路素子用コンデンサ。

(2) 前記コンデンサ層は、誘電体層の同一平面上で分割されたコンデンサ電極を有し、前記コンデンサ電極は、前記積層体を積層方向に貫通する他の貫通導体に導通させてあることを特徴とする請求項1に記載の非可逆回路素子用コンデンサ。

(3) 実質的に120度の角度で交叉するように形成された3つのストリップ導体と、前記スト

リップ導体と対面するように設けられた磁性体と、前記ストリップ導体の各端子に接続されるコンデンサとを含む非可逆回路素子であって、

前記コンデンサは、複数のコンデンサ層の積層体として構成されており、

前記積層体は、積層方向の両面のそれぞれに接地用導体を有しており、

前記接地用導体は、積層方向に貫通する貫通導体によって互いに導通させてあることを

特徴とする非可逆回路素子。

(4) 前記コンデンサは、前記ストリップ導体の端子間に接続されるコンデンサ、及び、前記ストリップ導体の端子と接地との間に接続されるコンデンサの少なくとも一方を含むことを特徴とする請求項3に記載の非可逆回路素子。

3. 発明の詳細な説明

<産業上の利用分野>

本発明は、アイソレータまたはサーキュレータとして使用される非可逆回路素子に関し、端子に接続されるコンデンサを、複数のコンデンサ層の

積層体で構成し、この積層体の両面のそれぞれに接地用導体を設け、両接地用導体を貫通導体によって互いに導通させることにより、シールド導体接地構造によるコンデンサ電極面積縮小を回避し、形状の大型化を招くことなく、コンデンサ容量値を増大させ、低周波化に対応できるようにしたものである。

<従来の技術>

第17図に従来のアイソレータとして用いられる非可逆回路素子の要部における具体的な構造を示す。図において、1はケース、2はストリップ導体を支持する基板、3、4は磁性体、5は誘電体基板、6は第1のシールド導体、7は第2のシールド導体である。図示は省略されているが、マグネット及びケース1と対となるケース蓋が備えられる。

基板2は互いに120度の角度で交叉する3つのストリップ導体21～23を有している。24～26は基板2に設けられた貫通孔、27、28は外部接続用の端子であり、ストリップ導体

置に、腕片61～63を掛け止める受片71～73が一体に連設されている。

組立に当っては、ケース1の底面上に第1のシールド導体6を配置し、第1のシールド導体6の上に誘電体基板5を配置し、誘電体基板5に設けた孔51内に磁性体3を配置し、磁性体3の上に基板2を置き、基板2の上に磁性体4を重ね、更に、磁性体4の上に第2のシールド導体7を積せる。第1のシールド導体6に設けた腕片61～63は、誘電体基板5の孔51及び基板2に設けられた孔24～26を貫通して導出し、その先端部を第2のシールド導体7の受片71～73に掛け止める。これにより、基板2、磁性体3、4、誘電体基板5、第1のシールド導体6及び第2のシールド導体7が一体的に結合されると共に、シールド導体6が接地電位となるケース1の底面に電氣的に導通して接地され、シールド作用が得られる。

上述した従来のアイソレータは、誘電体基板5が複数枚の誘電体基板を積層した積層体となって

21～23に導通させてある。

磁性体3、4はガーネットまたはフェライト等であり、基板2のストリップ導体21～23に対面するよう、その両面側または片面側に設けられている。

誘電体基板5は、コンデンサを構成する複数枚の誘電体基板を積層した積層体として構成する。かかる積層タイプの誘電体基板5は、例えば特公平2-23081号公報や実公平2-10646号公報で知られている。誘電体基板5の中央部には磁性体3を挿入配置する孔51が設けられている。また、誘電体基板5には、基板2に設けられているストリップ導体21～23の1つを終端する抵抗52が設けられている。抵抗52は、通常、印刷抵抗体によって形成される。

第1及び第2のシールド導体6、7は薄い銅板等を用いて形成されている。第1のシールド導体6の表面上には、切り起し等の手段によって3つの腕片61～63が立設されており、また第2のシールド導体7には腕片61～63と対応する位

いるので、組立の容易化、小型化等を図るのに有効である。

なお、抵抗52を設けずに、抵抗52で終端していたストリップ導体を、新たに設けられた端子に接続することにより、サーキュレータを得ることができる。

<発明が解決しようとする課題>

この種の非可逆回路素子の使用周波数は、自動車電話用では800～900MHzであるが、親子コードレス電話では親電話周波数380.27MHz、子電話周波数254.4MHzと、低周波化されている。しかも、800MHz帯自動車電話用として、15°角、10°角、7°角といった小型化が要求されている。

このような低周波化及び小型化に対応するためには、限られた容積で、コンデンサ容量値を増大させる必要がある。ところが、従来の非可逆回路素子は、シールドの必要から、コンデンサを構成する誘電体基板5の中央部に孔51を設け、孔51内に磁性体3を挿入配置して、接地電位とな

るシールド導体6に接触させる構造であるため、誘電体基板5において、コンデンサを形成するための面積が孔51によって減少する。このため、限られた容積内で、容値を増大させ、低周波化及び小型化に対応することが困難である。

誘電体基板5の平面積を増大させれば、孔51による面積縮小を補うことができる。しかし、大型化を招くから、小型化を旨とする非可逆回路素子に合致しない。

そこで、本発明の課題は、上述する従来の問題を解決し、シールド導体接地構造によるコンデンサ電極面積縮小を回避し、形状の大型化を招くことなく、限られた容積内で、コンデンサ容値を増大させ、低周波化及び小型化に対応し得る非可逆回路素子用コンデンサ及び非可逆回路素子を提供することである。

<課題を解決するための手段>

上述する課題を解決するため、本発明に係る非可逆回路素子用コンデンサは、複数のコンデンサ層の積層体として構成された非可逆回路素子用コ

ンデンサであって、

前記積層体は、積層方向の両面のそれぞれに接地用導体を有しており、

前記接地用導体は、積層方向に貫通する導体によって互いに導通させてあることを特徴とする。

また、本発明に係る非可逆回路素子は、実質的に120度の角度で交叉するように形成された3つのストリップ導体と、前記ストリップ導体と対面するように設けられた磁性体と、前記ストリップ導体の各端子に接続されるコンデンサとを含む非可逆回路素子であって、

前記コンデンサは、複数のコンデンサ層の積層体として構成されており、

前記積層体は、積層方向の両面のそれぞれに接地用導体を有しており、

前記接地用導体は、積層方向に貫通する導体によって互いに導通させてあることを特徴とする。

<作用>

複数のコンデンサ層の積層体は、積層方向の両面のそれぞれに接地用導体を有しており、接地用導体は、積層方向に貫通する導体によって互いに導通させてあるから、積層体の一面側に設けられた接地用導体をケース等に接触させて接地すると共に、他面側に設けられた接地用導体にシールド導体及び磁性体を設けるだけで、接地することができる。このため、積層体に孔を設ける必要がなくなるから、積層体の面積を容値取得に最大限活用し、形状の大型化を招くことなく容値を増大させ、低周波化及び小型化に対応できる。

<実施例>

第1図は本発明に係る非可逆回路素子の要部における分解斜視図、第2図は同じく組立状態での部分断面図である。図において、第17図と同一の参照符号は同一性ある構成部分を示している。8は積層体、9はシールド導体、10は回路基板である。第2図の参照符号11はマグネット、12はケース蓋である。

積層体8は、コンデンサ層801～803を積層して構成されており、積層方向の両面のそれぞれに接地用導体81、82を有している。コンデンサ層801～803の積層化に当っては、前述した従来技術が採用できる。接地用導体81、82は、積層体8の積層方向に貫通する貫通導体83によって互いに導通させてある。積層体5は例えばガラス基材フッ素樹脂銅張り積層板によって構成できる。貫通導体83は、上述した積層板に予め設けられた貫通孔内にメッキを施すことによって形成できる。

シールド導体9は薄い銅板等を用いて構成されている。シールド導体9の周辺部には3つの突片91～93が立設されている。

回路基板10の中央部には磁性体3を挿入配置する孔101が設けられており、また、その表面には、導体パターン102～105が設けられている。回路基板10はアルミナ基板または誘電体基板等によって構成されており、その表面に導体パターン102～104が設けられている。ま

た、回路基板10には、基板2に設けられているストリップ導体21～23の1つを終端する抵抗109が設けられている。この抵抗109はシールド導体9の突片91と基板2を介して接地された導体パターン105により接地されている。

組立に当っては、積層体8の一面側に設けられた接地用導体81をケース1の底面に接触させて接地すると共に、他面側に設けられた接地用導体82にシールド導体9、回路基板10、その孔101内に挿入した磁性体3及びストリップ導体21～23を支持する基板2を、所定の位置関係で嵌める。シールド導体9の突片91～93は回路基板10の孔101内を通り、基板2に設けられた孔24～26に貫通して導出し、その先端部を基板2上で折曲げ固定する。

シールド導体9は、積層体8の表面に設けられた接地用導体82に接触して導通すると共に、接地用導体82から貫通導体83を通して裏面側の接地用導体81に電気的に導通接続され、接地用導体81を介して、ケース1に接地される。この

る。861～863はコンデンサ電極である。コンデンサ電極861～863は、それぞれ、貫通導体851～853によって誘電体層841の表面側に導出(第3図参照)されている。

第5図は誘電体層842と誘電体層843との間に位置するコンデンサ電極パターンを示す。864～866はコンデンサ電極である。コンデンサ電極864はコンデンサ電極861と対向し、誘電体層842を貫通する貫通導体852によってコンデンサ電極862に導通接続されている。コンデンサ電極865はコンデンサ電極862と対向し、誘電体層842を貫通する貫通導体853によってコンデンサ電極863と導通接続されている。コンデンサ電極866はコンデンサ電極863と対向し、誘電体層842を貫通する貫通導体851によってコンデンサ電極861と導通している。

第6図は積層体8を裏面側から見た図で、誘電体層843の裏面に形成された接地用導体81が示されている。

ため、積層体8に孔を設ける必要がなくなり、積層体8の面積を、コンデンサ層801～803における容量取得に最大限活用し、形状の大型化を招くことなく容量値を増大させ、低周波化及び小型化に対応できる。具体例として、従来、300MHz帯用非化逆回路素子の大きさは、15mm角～20mm角が限界であったが、本発明によれば、10mm角以下、即ち従来の占有面積の1/3以下まで縮小することができた。

第3図～第6図は積層体8の構造を示す図で、第1図及び第2図の図示状態で上側から順次に見た積層構造を示している。第3図は積層体8を表側から見た平面図で、ガラス基材フッ素樹脂等の誘電体基板等で構成された誘電体層841の表面上に接地用導体82を形成してある。851～853は誘電体層841を貫通する貫通導体であり、貫通導体83と同様に、メッキによって形成できる。

第4図は誘電体層841と誘電体層842との間に位置するコンデンサ電極パターンを示してい

第7図は第3図～第6図に示した構造を有する積層体8の電気的等価回路を示すために用いられた展開図である。a、b、cは貫通導体851、852及び853によって形成される端子を示している。端子a-b間にコンデンサ電極861とコンデンサ電極864とによる端子間容量 C_{11} が形成され、端子b-c間にコンデンサ電極862とコンデンサ電極865とによる端子間容量 C_{12} が形成され、端子c-a間にコンデンサ電極863とコンデンサ電極866とによる端子間容量 C_{13} が形成される。また、接地用導体81、82とコンデンサ電極(861、866)、(862、864)及び(863、865)との間に接地容量 C_{01} 、 C_{02} 、 C_{03} がそれぞれ形成される。

第8図は第3図～第7図に示した積層体を用いたサーキュレータの回路図を示し、端子a-b間に端子間容量 C_{11} を接続し、端子b-c間に端子間容量 C_{12} を接続し、端子c-a間に端子間容量 C_{13} を接続すると共に、端子a、b、cのそれぞれに接地容量 C_{01} 、 C_{02} 、 C_{03} をそれぞれ接続し

た回路が得られる。

第9図～第13図は積層体8の別の実施例を示す図である。図において、第3図～第6図と同一の参照符号は同一性ある構成部分を示している。第9図は積層体表面の平面図であり、誘電体層840の表面にコンデンサ電極871～873及び中継電極874～876を有している。接地用導体82は誘電体層840の表面に形成されている。

第10図は誘電体層840と誘電体層841との間に位置するコンデンサ電極877～879の配置パターンを示している。コンデンサ電極877は誘電体層840を介してコンデンサ電極871と対向すると共に、誘電体層840を貫通する貫通導体851によって中継電極874に導通している。コンデンサ電極878は誘電体層840を介してコンデンサ電極872と対向すると共に、誘電体層840を貫通する貫通導体852により中継電極875に導通している。コンデンサ電極879は誘電体層840を介してコ

$c_2 - a_2$ 間に端子間容量 C_{12} を接続すると共に、端子 a_2 、 b_2 、 c_2 のそれぞれに接地容量 C_{01} 、 C_{02} 、 C_{03} をそれぞれ接続した回路に対し、コンデンサ電極871～874による直列容量 C_{21} 、コンデンサ電極872～875による直列容量 C_{22} 、コンデンサ電極873～876による直列容量 C_{23} を付加した回路構成が得られる。図示はされていないが、端子 a_1 、 b_1 、 c_1 に外付けのインダクタンスを付加することもできる。

第16図は本発明に係る非可逆回路素子の別の実施例を示している。この実施例では、樹脂等で構成された端子基板13及び鉄板等でなる接地板14を有する。端子基板13は外部と接続するための入出力端子を有する。接地板14は周辺に突設した腕辺により、全体を囲むようにして、図示しないケース蓋と結合される。

実施例では、アイソレータを示したが、サーキュレータにも適用できることはいうまでもない。また、磁性体3は1個に限らず、ストリップ

ンデンサ電極873と対向すると共に、誘電体層840を貫通する貫通導体853によって中継電極876に導通している。

第11図～第13図はコンデンサ電極861～866の配置パターンを示している。実質的に、第4図～第6図と同じであるので、説明は省略する。

第14図は第9図～第13図に示した積層体8の電気的等価回路を示す展開図である。図において、第7図と同一の参照符号は同一性ある構成部分を示し、端子間容量 C_{11} ～ C_{13} 及び接地容量 C_{01} ～ C_{03} の他に、コンデンサ電極871～874による直列容量 C_{21} 、コンデンサ電極872～875による直列容量 C_{22} 、コンデンサ電極873～876による直列容量 C_{23} を付加した回路構成となる。

第15図は第9図～第14図に示した積層体を用いたサーキュレータの回路図を示している。端子 $a_2 - b_2$ 間に端子間容量 C_{11} を接続し、端子 $b_2 - c_2$ 間に端子間容量 C_{12} を接続し、端子

導体21～23を支持する基板2の両面側に配置(第17図参照)する構造であってもよい。

<発明の効果>

以上述べたように、本発明は、コンデンサ積層体の積層方向の両面のそれぞれに接地用導体を有しており、接地用導体は、積層方向に貫通する導体によって互いに導通させてあるから、積層体の面積を容量取得に最大限活用し、形状の大型化を招くことなく、コンデンサ容量値を増大させ、低周波化に対応すると共に、占有面積を従来の1/3程度以下まで小型化し得る非可逆回路素子用コンデンサ及び非可逆回路素子を提供できる。

4. 図面の簡単な説明

第1図は本発明に係る非可逆回路素子の要部における分解斜視図、第2図は同じく組立状態での部分断面図、第3図～第6図は積層体の構造を示す図、第7図は第3図～第6図に示した積層体の電気的等価回路を示す展開図、第8図は第3図～第7図に示した積層体を用いたサーキュレータの

回路図、第9図～第13図は積層体の別の実施例を示す図、第14図は第9図～第13図に示した積層体の電氣的等価回路を示す展開図、第15図は第9図～第14図に示した積層体を用いたサーキュレータの回路図、第16図は本発明に係る非可逆回路素子の別の実施例を示す分解斜視図、第17図は従来の非可逆回路素子の分解斜視図である。

21～23・・・ストリップ導体

3・・・磁性体

8・・・積層体

81、82・・・接地用導体

83・・・貫通導体

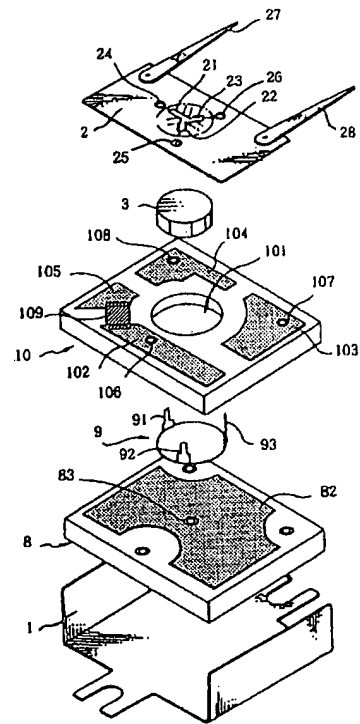
800～803・・・コンデンサ層

特許出願人 ティーディーケイ株式会社

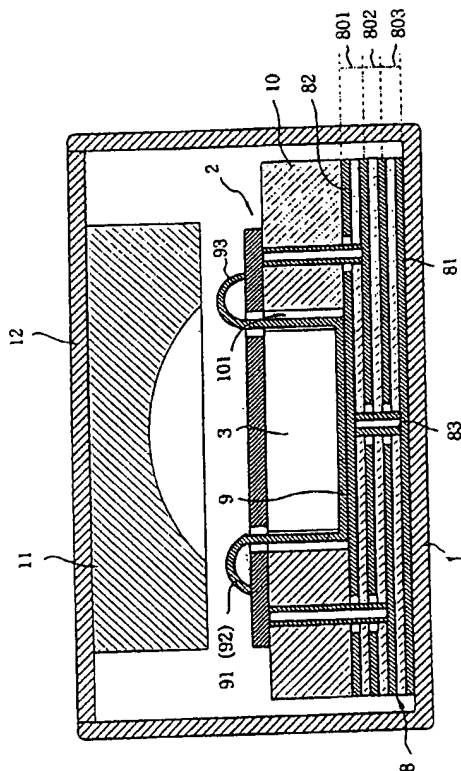
代理人 弁理士

阿部 英次郎

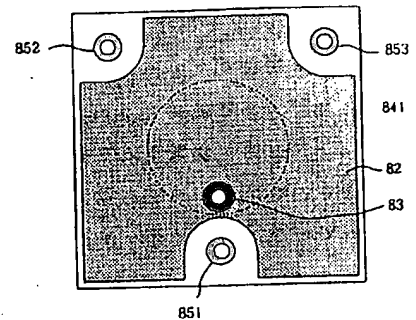
第1図



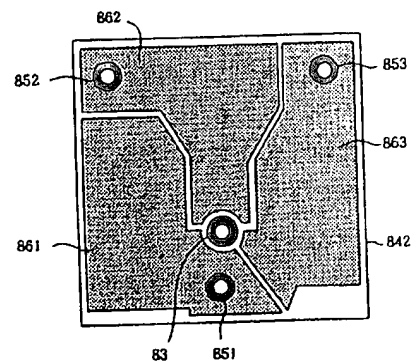
第2図



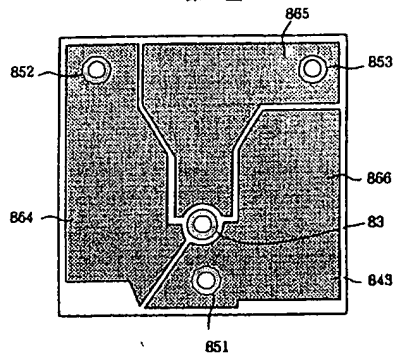
第3図



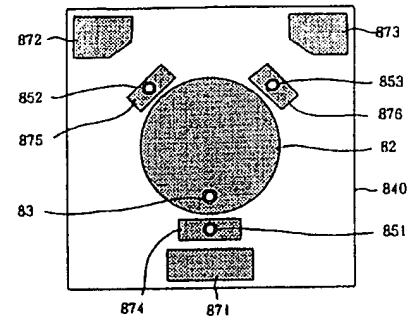
第4図



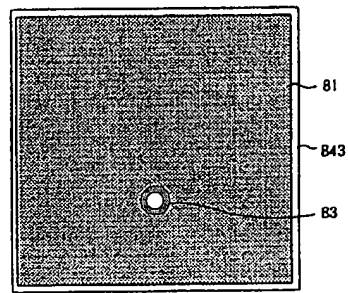
第5図



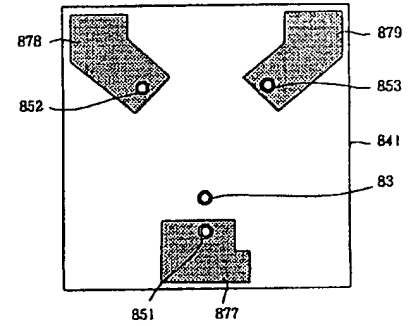
第9図



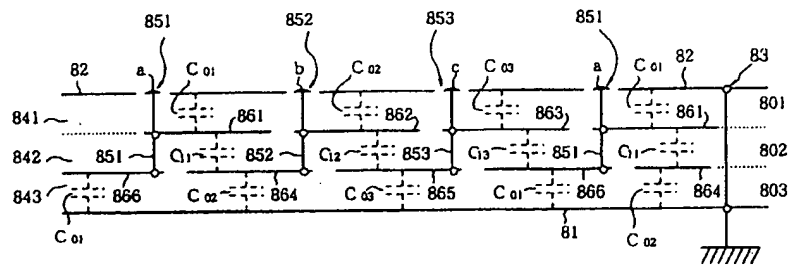
第6図



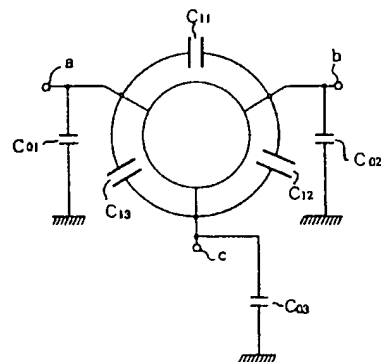
第10図



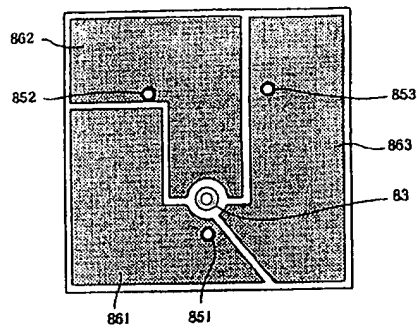
第7図



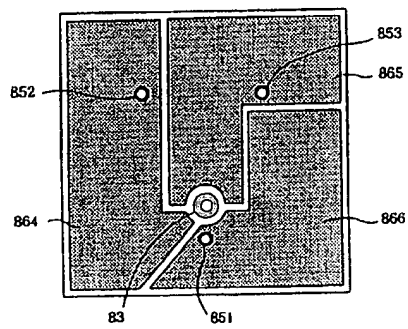
第8図



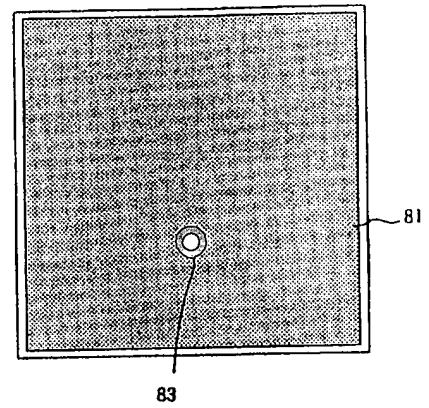
第11図



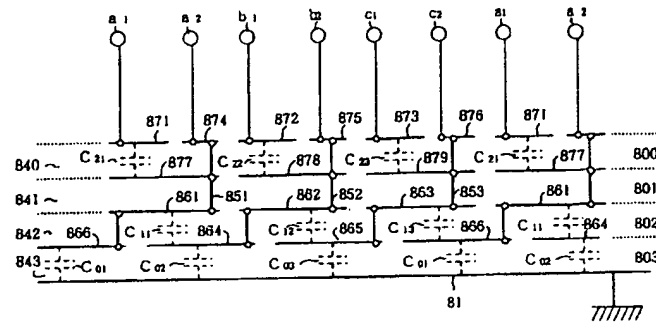
第12図



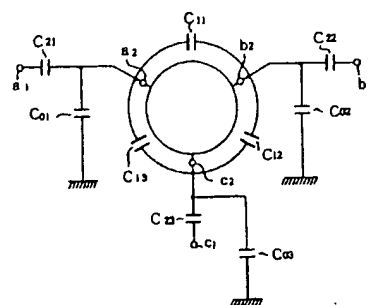
第13図



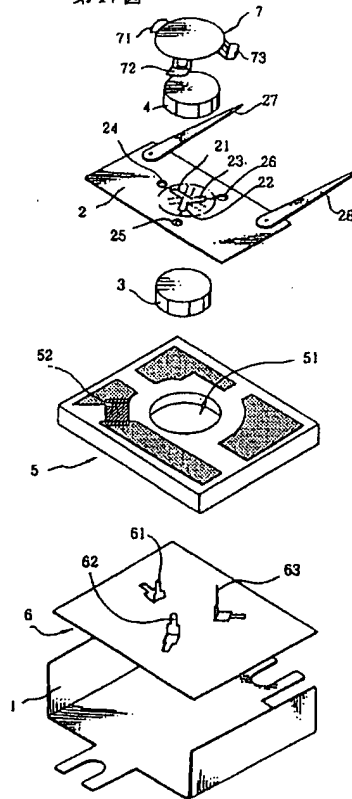
第14図



第15図



第 17 図



第16圖

